

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-070245  
(43)Date of publication of application : 12.03.1996

(51)Int.Cl. H03K 17/687  
H01P 1/15  
H03K 17/16  
H03K 17/693

(21) Application number : 06-  
203190

(71) Applicant : HITACHI LTD

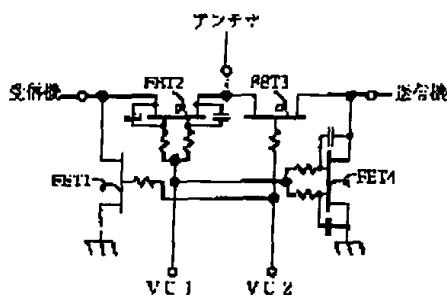
(22) Date of filing : 29.08.1994 (72) Inventor : TANAKA SATOSHI  
OKAMOTO TATSUTO  
KITAYAMA TARO  
YAMANE MASAO

## (54) LOW DISTORTION SWITCH

(57) Abstract:

**PURPOSE:** To provide a high frequency switch with a low distortion characteristic operatable at a low voltage by composing a passing field effect transistor(FET) on the reception side of a dual gate FET and grounding FET on the transmission side and connecting a capacitors between the 1st gate and source and between the 2nd gate and a drain

**CONSTITUTION:** A dual gate FET is adopted for a receiver side passing field effect transistor (FET) 2 and a sender side grounding FET 4 in an SPDT (single-pole double throw) switch comprising FETs, and a capacitor is connected between a 1st gate (source side gate) and a source and between a 2nd gate and a drain. Thus, an amplitude of an AC signal generated in the 2nd gate is increased by adding the capacitor between the 2nd gate and the drain so that the turning on of the FET is prevented when the signal rises negatively and an amplitude of the AC signal generated in the 1st gate is increased by adding the capacitor between the 1st gate (source side gate) and the drain so that the turning on of the FET is prevented when the signal rises positively.



**LEGAL STATUS**



## 【特許請求の範囲】

【請求項1】2つ以上の複数のゲート電極をもつFET(電界効果トランジスタ)に於いて、ドレン電極に隣接するゲートとドレン間に容量を接続し、ソース電極に隣接するゲートとソース間に容量を接続し、各ゲートに独立した抵抗を介して直流電圧を印加することを特徴とする半導体回路。

【請求項2】複数のFETをカスコード接続した3端子回路において、ゲート以外の第1の電極と第1の電極に隣接するゲートとの間に第1の容量を接続し、ゲート以外の第2の電極と第2の電極に隣接するゲートとの間に第2の容量を接続し各ゲートと第3の電極間にそれぞれ独立した抵抗を設け、第3の電極より直流電圧を印加することを特徴とする半導体回路。

【請求項3】2つのFETをカスコード接続した特許請求の範囲第2項記載の回路に於いて2つのFETのドレン同士を互いに接続したことを特徴とする半導体回路。

【請求項4】特許請求の範囲第2項記載の回路に於いて各FETのドレン、ゲート間距離がソース、ゲート間距離よりも長いことを特徴とした半導体回路。

【請求項5】特許請求の範囲第2項記載の回路に於いて第1の容量を第1の電極の引き出し部分において第1の電極配線層と第1のゲート電極層の間に誘電体層を挟むことで構成し、第2の容量を第2の電極の引き出し部分において、第2の電極配線層と第2のゲート電極層の間に誘電体層を挟むことで構成したことを特徴とする半導体回路。

【請求項6】特許請求の範囲第5項記載の回路に於いて第1の電極と第1のゲート電極を隣接させて引き出し、第2の電極と第2のゲート電極を隣接させて引き出したことを特徴とする半導体回路。

【請求項7】特許請求の範囲第5項記載の回路に於いてすべてのゲート電極を隣接させて引き出したことを特徴とする半導体回路。

【請求項8】第1の入出力端子と第1のFET(電界効果トランジスタ)の第1の電極(ドレン又はソース)を接続し、第1のFETの第2の電極(ソース又はドレン)接地電位に接続し、第2のFET(電界効果トランジスタ)の第1の電極(ドレン又はソース)を第1の入出力端子に接続し、第2のFETの第2の電極(ソース又はドレン)第2の入出力端子と接続し、第3のFET(電界効果トランジスタ)の第1の電極(ドレン又はソース)を第2の入出力端子に接続し、第3のFETの第2の電極(ソース又はドレン)第3の入出力端子と接続し、第4の入出力端子と第4のFET(電界効果トランジスタ)の第1の電極(ドレン又はソース)を接続し、第4のFETの第2の電極(ソース又はドレン)接地電位に接続したSPDT(Single-Pole Double-Throw)形スイッチにおいて第2のFETと第4のFET

のゲートを複数以上設けるか特許請求の範囲第1項から第7項のいずれかの半導体回路に置き換えたことを特徴とする低歪スイッチ。

【請求項9】特許請求の範囲第8項記載のスイッチに於いて、第2、第4のFETをそれぞれ複数以上のFETのカスコード接続で構成したことを特徴とする低歪スイッチ。

【請求項10】特許請求の範囲第8、9項記載のSPDTスイッチの接地用電極にインピーダンス素子を接続したことを特徴とする低歪スイッチ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は移動体通信機向けのスイッチに関するものであり、低歪特性を持つ高周波スイッチを実現するものである。

## 【0002】

【従来の技術】セルラ電話、コードレス電話を主なアプリケーションとする化合物半導体デバイスを用いた送信受信切り替え用のSPDT(Single-Pole Double-Throw)

スイッチの開発事例が多く発表されている。例として、吉川等による”小型樹脂パッケージ高周波FETスイッチ”、1993年電子情報通信学会春季大会、講演番号C-90がある。図2にこの従来のSPDTスイッチを示す。スイッチを構成する各FETはディブリージョン形GaAsMESFETである。図2を用いてSPDTスイッチの動作原理を説明する。スイッチには3つの信号端子とVC1, VC2の2つの制御端子が存在する。中央の端子をアンテナに接続し、左の端子を受信機に、右の端子を送信機に接続する。制御バイアスは2つの端子に相補的に0Vバイアス、またはFETの閾電圧以下の負バイアスVconを印加する。VC1に0V, VC2にVconVを加えるとアンテナ端子と受信端子が接続され、逆にVC1にVconVを、VC2に0V加えると、アンテナ端子と送信端子が接続される。

【0003】各FETの小信号等価回路を図3(a)に示す。OFF時の簡易化した等価回路はドレン-ソース間の寄生容量で代表させることが出来る。ON時の等価回路はドレン-ソース間の抵抗で代表させることが出来る。OFF時ドレン-ソース間の寄生容量とON時のドレン-ソース間の抵抗によりスイッチの挿入損失が決定される。図3(b)にアンテナと受信機が接続された場合のSPDTスイッチの小信号等価回路を示す。送信側、受信側ともON状態のFETの抵抗値の低減を図るとゲート幅が大きくなり、OFF状態の容量が大きくなる。このため送信側の挿入損失と受信側の挿入損失の間には各FETのゲート幅に関してトレードオフの関係がある。

【0004】次に従来のSPDTスイッチの大信号動作時における歪発生メカニズムについて述べる。SPDTスイッチの歪発生メカニズムはOFFしているFETに

その主たる原因がある。つまり送信状態の場合には、送信機側の接地用FETと受信側の受信信号通過用FETが原因となる。これは図2中のFET4とFET2に対応する。図4に送信機側の接地用FETを示し、歪発生のメカニズムを説明する。

【0005】先ず入力信号の周波数がFETの寄生容量が十分無視できるほど低い場合を考える。OFF状態のFETのソース電極は接地電位にある。このときFET\*

$$Vd \leq Vcon + ab_s(Vth)$$

となる。

【0007】(2) ドレインに印加される電位が正の場合

基本的には耐圧条件を満足する限り、FETがオンすることは無い。以上の結果を図4(a)にまとめる。歪はドレインに印加される電位が(数1)の等号が成立する電位

$Von(-)$ よりも低い場合に限り、発生する。※

$$Vg = Vcon + Vd * Cgd / (Cgd + Cgs)$$

で与えられる。

【0009】(1) ドレインに印加される電位が負の場合★

$$Vd \leq Vg + ab_s(Vth)$$

で与えられる。(数2)、(数3)をまとめると

$$Vd \leq (Vcon + ab_s(Vth)) (Cgd + Cgs) / Cgs$$

となり、低周波領域に比べて電圧振幅で $(Cgd + Cgs) / Cgs$

倍の信号まで耐えられることが分かる。

【0010】(2) ドレインに印加される電位が正の場合☆

$$Vg \geq Vth$$

で与えられる。(数2)、(数5)をまとめると

$$Vd \geq (Vth - Vcon) (Cgd + Cgs) / Cgd$$

となる。低周波領域ではドレイン耐圧の限界まで入力出来たのに対して、容量のインピーダンスが無視出来なくなり、ゲート電位がドレイン電圧の影響を受けて上昇しON状態となり、信号を歪ませる。

【0011】(数4)、(数6)の等号が成立する値をそれぞれ $Von(-)$ 、 $Von(+)$ とし、図4(b)に示した。このように従来のSPDTスイッチでは(数4)、(数6)によって図2中のFET4、FET2の両端に印加される電圧のダイナミックレンジが抑えられる。ゆえに低歪化のためにはコントロールバイアスを深くするか、閾電圧を浅くすることが必要となる。

【0012】

【発明が解決しようとする課題】ところがSPDTスイッチを移動体通信の分野に適用することを考えると、低消費電力化の観点より回路の低電圧化が要求され、これに伴いコントロールバイアスの低電圧化も必要となる。また閾電圧を浅くするとON抵抗が増加し挿入損失が増加する問題が発生する。

【0013】

【課題を解決するための手段】これらの課題を克服し、コントロール電圧を低くし、且つ挿入損失の小さなスイッチを実現するため、(数4)、(数6)に示す寄生容量

\*に大振幅がかかりドレインに大きな電圧が印加される。

【0006】(1) ドレインに印加される電位が負の場合

ゲートバイアス $Vcon$ に対してドレインに印加される電位が $Vcon + ab_s(Vth)$ 以下になるとドレイン側に電流が流れ出始める。このため図4(a)に示すように信号波形が負領域において歪む。本条件を式で表すと、

(数1)

10※【0008】さて次に入力信号周波数が高く、FETの寄生容量の影響が無視でき無い場合を考える。この場合影響を及ぼすものはゲートードレイン間容量 $Cgd$ 、ゲートソース間容量 $Cgs$ である。コントロールバイアスは前記寄生容量に対して十分大きな抵抗を介して供給されるものとする。このときゲート電位は

(数2)

★合

FETがONしてドレインから電流が流れ出す条件は、

(数3)

☆合

ゲートバイアス電位が上がりFETがONし、ドレインに電流が流れ込む条件は、

(数5)

(数6)

の比を制御することを考える。

30 【0014】(数4)に示す $(Cgd + Cgs) / Cgs$ の項に着目すると、 $Cgd$ を $Cgs$ に比べて大きくすることで、ドレイン電位が負の方向に振れた場合に誤ってONする現象を抑止出来る。

【0015】同様に(数6)に示す $(Cgd + Cgs) / Cgd$ の項に着目すると、今度は逆に $Cgs$ を $Cgd$ に比べて大きくすることで、ドレイン電位が正の方向に振れた場合に誤ってONする現象を抑止出来る。

【0016】上記2つの効果は具体的には歪が問題となるFETのゲート数を増し、デュアルゲート以上とする

40 ことで実現する。また更にデュアルゲートFETのドレイン側のゲートとドレイン間に容量を付加し $Cgd$ を大きくし、且つソース側のゲートとソース間に容量を付加し $Cgs$ を大きくすることで効果を増すことが出来る。詳細を以下の(作用)にて述べる。

【0017】

【作用】前述したように、SPDTスイッチの歪発生メカニズムはOFFしているFETにその主たる原因がある。この部分をデュアルゲートFETで置き換えた場合の動作について述べる。図5に送信機側の接地用FETをデュアルゲートで構成した場合を示す。

5

【0018】先ず入力信号の周波数がFETの寄生容量を十分無視できるほど低い場合を考える。2つのゲート、G1, G2はどちらもVcon(V)にバイアスされている。OFF状態のFETのソース電極は接地電位である。

【0019】(1) ドレインに印加される電位が負の場合

ドレイン電位がゲートバイアスVconに対してVcon + abS(Vth)以下になるとドレイン側に電流が流れ出始め。これはシングルFETで起こる現象と同じである。低い周波数領域ではデュアルゲート化しても効果はない。

【0020】(2) ドレインに印加される電位が正の場合

$$\begin{aligned} Vg2 &= Vcon + Vd * (1 - (Cg1s * Cg1d1 * Cg2d1 / CM)) \\ CM &= Cg1d1 * Cg2d1 * Cg2d2 + Cg1s * Cg1d1 * Cg2d1 + Cg1s * Cg2d1 * Cg2d2 \\ &\quad + Cg1s * Cg1d1 * Cg2d2 \end{aligned} \quad (\text{数7})$$

で与えられる。

【0023】FETがONしてドレインから電流が流れ※

$$Vd \leq Vg2 + abS(Vth) \quad (\text{数8})$$

で与えられる。(数7)、(数8)をまとめると

$$Vd \leq (Vcon + abS(Vth)) * CM / (Cg1s * Cg1d1 * Cg2d1) \quad (\text{数9})$$

となり、低周波領域に比べて電圧振幅で(CM/(Cg1s \* Cg1d1 \* Cg2d1)倍の信号まで耐えられることが分かる。

$$\begin{aligned} Vg1 &= Vcon + Vd * (Cg1d1 * Cg2d1 * Cg2d2 / CM) \\ CM &= Cg1d1 * Cg2d1 * Cg2d2 + Cg1s * Cg1d1 * Cg2d1 + Cg1s * Cg2d1 * Cg2d2 \\ &\quad + Cg1s * Cg1d1 * Cg2d2 \end{aligned} \quad (\text{数10})$$

で与えられる。

【0025】ゲートバイアス電位が上がりFETがON☆

$$Vg1 \geq Vth \quad (\text{数11})$$

で与えられる。(数10)、(数11)をまとめると

$$Vd \geq (Vth - Vcon) * CM / (Cg1d1 * Cg2d1 * Cg2d2) \quad (\text{数12})$$

となる。

【0026】シングルゲートFETに対してデュアルゲートFETを用いた場合の効果を考える。簡単の為Cgs = Cgd = Cg1s = Cg1d1 = Cg2d1 = Cg2d2 = 1とするとOFF状態のFETがONする条件は以下のようになる。

【0027】(1) ドレインに印加される電位が負の場合

シングルゲートFET:  $Vd \leq (Vcon + abS(Vth)) * 2$

デュアルゲートFET:  $Vd \leq (Vcon + abS(Vth)) * 4$

(2) ドレインに印加される電位が正の場合  
シングルゲートFET:  $Vd \geq (Vth - Vcon) * 2$   
デュアルゲートFET:  $Vd \geq (Vth - Vcon) * 4$   
この場合ドレイン電圧に関する条件がデュアルゲートFETを用いることにより、2倍に改善出来たことを示している。

\*合

シングルFETの場合と同様に基本的に耐圧条件を満足する限り、FETがONすることは無い。

【0021】次に入力信号周波数が高く、FETの寄生容量の影響が無視できない場合を考える。この場合影響を及ぼすものは図5に示すCg1s, Cg1d1, Cg2d1, Cg2d2の4つの寄生容量である。コントロールバイアスは前記寄生容量に対して十分大きな抵抗を介して供給されるものとする。

10 【0022】(1) ドレインに印加される電位が負の場合

G2のゲート電位は

※出す条件は、

$$Vd \leq Vg2 + abS(Vth) \quad (\text{数8})$$

★【0024】(2) ドレインに印加される電位が正の場合

★ G1のゲート電位は

☆し、ドレインに電流が流れ込む条件は、

$$Vg1 \geq Vth \quad (\text{数11})$$

【0028】歪特性が改善される上記メカニズムを定性的に補足説明するならば以下のようなになる。ドレインに負の電圧がかかると、第2ゲートには第2ゲート-接地間インピーダンスZg2gndと、ドレイン-第2ゲート間インピーダンスZd2g2で分圧された交流信号が重畳される。このためドレイン電位が変化すると第2ゲートはそれに追従する。デュアルゲートFETの場合Zg2gndは

40 Cg1s, Cg1d1, Cg2d1の直列接続で構成され、Zd2g2はCg2d2のインピーダンスになる。このためZd2g2はZg2gndより相対的に小さくなり第2ゲート電位のドレインに対する追従性が増し、容易にONしなくなる。ドレインに正の電圧が加わる場合にも同様な議論を展開できる。ドレインに正の電圧がかかると、第1ゲートには第1ゲート-接地間インピーダンスZg1gndと、ドレイン-第1ゲート間インピーダンスZd2g1で分圧された交流信号が重畳される。このためドレイン電位が変化すると第1ゲートはそれに追従して電位を増す。デニ

50 アルゲートFETの場合Zd2g1はCg1d1, Cg2d1, Cg2

7

$d_2$ の直列接続で構成され、 $Z_{g1gnd}$ は $C_{g1s}$ のインピーダンスになる。このため $Z_{g1gnd}$ は $Z_{d2g1}$ より相対的に大きくなり第1ゲート電位のドレインに対する追従性が減少し、容易にONしなくなる。

【0029】以上の議論からさらに歪特性を改善するにはさらにゲート本数を増して分圧比を向上する方法と、 $C_{g1s}$ ,  $C_{g2d2}$ を増すことで分圧比を向上する方法などがある。

【0030】 $C_{g1s}$ ,  $C_{g2d2}$ を増した場合について例を上げてその効果を示す。 $C_{g1s}=C_{g2d2}=2$ とした場合について条件を求めるとき以下のようになる。

【0031】(1) ドレインに印加される電位が負の場合

デュアルゲートFET :  $V_d \leq (V_{con} + a b s (V_{th})) * 6$

(2) ドレインに印加される電位が正の場合  
デュアルゲートFET :  $V_d \geq (V_{th} - V_{con}) * 6$   
このように第1ゲート(ソース側ゲート)とソース間、第2ゲートとドレイン間の容量を増すことにより確かに歪特性を改善できることが分かる。

【0032】このような特性を利用した本発明の実施例を以下に述べる。

【0033】

【実施例】本発明の第1の実施例を図1を用いて説明する。スイッチに大信号が入力される場合は、送信機が動作し、アンテナに接続された場合である。大信号入力時の歪発生の原因は、今まで述べてきたように主としてOFFしているFETが入力信号により強制的にONすることにより発生する。図2に示す従来のSPDTスイッチではFET2, 4が歪の原因として該当する。そこで図1に示すようにFET2, 4をデュアルゲートFETに置き換えて低歪化を図った。デュアルゲートFETの小信号等価回路を図4に示す。図3のシングルFETの小信号等価回路と詳細に比較すると、動作層の抵抗とゲート間寄生抵抗が余分に付加され、ON時の直列寄生抵抗が増加し挿入損失の増加を招く。この為歪に大きく寄与しない受信時にOFFするFET1, 4にはシングルゲートFETを適用する。デュアルゲートFETを用いることで低歪化が実現できる理由は(作用)で述べた通りである。本実施例により低歪で低損失なSPDTスイッチが構成できる。

【0034】本発明の第2の実施例を図6を用いて説明する。本実施例は第1の実施例で用いたデュアルゲートFETをシングルゲートFETのカスコード接続で置き換えたものである。シングルゲートFETを用いてもデュアルゲートFETと同様の効果が得られる。

【0035】本発明の第3の実施例を図7を用いて説明する。本実施例は第1の実施例で用いたデュアルゲートFETをトリプルゲートFETで置き換えたものである。トリプルゲートFETを用いることでより振幅の大

きな信号を受けてもデュアルゲートFET以上の低歪特性を実現することが出来る。

【0036】本発明の第4の実施例を図8を用いて説明する。本実施例では第1の実施例のスイッチに第1ゲート(ソース側ゲート)とソース間、第2ゲートとドレイン間に容量を追加することで低歪特性の向上を図ったものである。(作用)において既に述べたように、第2ゲートとドレイン間に容量を追加することで第2ゲートに発生するAC信号振幅を増加させ、信号が負に振れた場合

10 にFETがONすることを防止し、第1ゲート(ソース側ゲート)とソース間に容量を追加することで第1ゲートに発生するAC信号振幅を減少させ、信号が正に振れた場合にFETがONすることを防止し、低歪化を図っている。図8ではデュアルゲートFETを用いた場合について述べているが、本実施例はトリプルゲートまたはそれ以上のゲート数になども有効である。

【0037】本発明の第5の実施例を図9、図10を用いて説明する。第4の実施例で容量を追加することで低歪化を図った。本実施例ではたとえば図9に示すよう

20 デュアルゲートFETの第1ゲート(ソース側ゲート)とソース間、第2ゲートとドレイン間容量を相対的に増加するため第1ゲート(ソース側ゲート)とソース間、第2ゲートとドレイン間の距離 $L_{g1s}$ ,  $L_{g2d}$ を第1ゲート第2ゲート間距離 $L_{g12}$ より短くした。本構造により容量を追加することなく歪特性の向上が図れる。図10に示す断面構造は抵抗の低いイオン打ち込み層を2つのゲート間に設けることでON抵抗の低減を図ったものである。第1ゲートとイオン打ち込み層の間隔を $L_{g1n}$ 、第2ゲートとイオン打ち込み層の間隔を $L_{g2n}$ としたとき、

$L_{g1n} \geq L_{g1s}$ ,  $L_{g2n} \geq L_{g2d}$   
とすることでデュアルゲートFETの第1ゲート(ソース側ゲート)とソース間、第2ゲートとドレイン間容量の相対的増加を実現した。本実施例ではデュアルゲートの場合について述べているが、両端のゲートとソース、ドレイン間の距離を、ゲート間距離よりも短くすることで、両端のゲートとソース、ドレイン間の容量をゲート間容量より大きくし歪を低減することが本実施例の要点である。この意味において本実施例はトリプルゲートまたはそれ以上のゲート数になども有効である。

【0038】本発明の第6の実施例を図11、12を用いて説明する。本実施例は第2の実施例を高性能化するもので、図11に示すように、カスコード接続するFETのドレイン同士を接続することで低歪化を図っている。通常のシングルFETでは、図12に示すように耐圧を向上するためにゲート、ドレイン間距離をゲート、ソース間距離よりも長くする。このためドレインとソースが同電位の場合、ゲート、ドレイン間容量 $C_{gd}$ が、ゲート、ソース間容量 $C_{gs}$ に比べて小さくなる。ドレイン同士を接続することは2つのゲート間の寄生容量を減少

させることであり、本実施例は第5の実施例と同じ効果を実現する。

【0039】本発明の第7の実施例を図13に示す。本実施例は本発明の代表的な実施例である第4の実施例に好適なデバイス構造に関するものである。図13(a)に上面より見たパタン図を示す。第4の実施例の要点は、第1ゲート、第2ゲート間の容量に比べ、第1ゲート、ソース間容量と第2ゲート、ドレイン間容量を大きくすることでゲートのAC電位を制御して低歪特性を実現することにある。これを集積回路上でコンパクトに実現するのが本実施例である。ソース、ドレインの引き出し電極上にゲート配線層と引き出し電極配線層の間に高誘電体層をはさみ容量を構成している。図13(b)に断面図を示す。11はFETの断面図、12は容量の断面図である。FETのプロセスに高誘電体層プロセスを追加するだけで容易に実現できる。

【0040】本発明の第8の実施例を図14に示す。本実施例は第7の実施例の2つのゲート電極を同一方向から取りだした物である。2つのゲートが接触しないよう、第1のゲートとソース間の容量を分割して配置している。2つのゲートを同一方向から取りだすことによってOFF制御の為の制御配線が容易に実現できる。

【0041】本発明の第9の実施例を図15に示す。本実施例では第4の実施例の受信、送信それぞれ信号を通すFET2、3に並列にインダクタを接続した。各インダクタをそれぞれのFETのOFF時のドレイン、ソース間寄生容量と通過周波数に於いて共振するように選ぶことにより、OFF時のアイソレーション特性を向上している。

#### 【0042】

【発明の効果】本発明により容易に低電圧で低歪特性を持つ高周波スイッチを実現することが出来る。本発明を

試作したこと、入出力特性の1つの指標である1dB抑圧レベルが従来のスイッチに比べ入力レベルで5dB以上改善された。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例。

【図2】従来のSPDTスイッチ。

【図3】小信号等価回路。

【図4】送信機側の接地用FET。

【図5】送信機側の接地用デュアルゲートFET。

【図6】本発明の第2の実施例。

【図7】本発明の第3の実施例。

【図8】本発明の第4の実施例。

【図9】本発明の第5の実施例(基本形)。

【図10】本発明の第5の実施例(イオン打ち込み追加)。

【図11】本発明の第6の実施例(回路図)。

【図12】本発明の第6の実施例(断面図)。

【図13】本発明の第7の実施例。

【図14】本発明の第8の実施例。

【図15】本発明の第9の実施例。

#### 【符号の説明】

FET<sub>n</sub>…電界効果トランジスタ、VC<sub>1</sub>、VC<sub>2</sub>…制御電圧端子、C<sub>gd</sub>…ゲート、ドレイン間容量、C<sub>gs</sub>…ゲート、ソース間容量、C<sub>ds</sub>…ドレイン、ソース間容量、L<sub>g1s</sub>…第1ゲート、ソース間距離、L<sub>g2d</sub>…第2ゲート、ドレイン間距離、L<sub>g1g2</sub>…第1ゲート、第2ゲート間距離、L<sub>g1n</sub>…第1ゲート、イオン打ち込み層間距離、L<sub>g2n</sub>…第2ゲート、イオン打ち込み層間距離、L<sub>g1s</sub>…ゲート、ソース間距離、L<sub>gd</sub>…ゲート、ドレイン間距離、S<sub>s</sub>、S<sub>n</sub>…ソース電極、D<sub>d</sub>、D<sub>n</sub>…ドレイン電極、G<sub>1</sub>、G<sub>n</sub>…ゲート電極。

【図1】

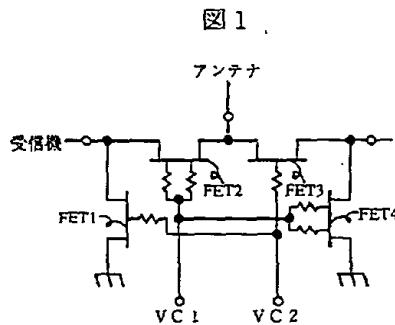


図1

【図2】

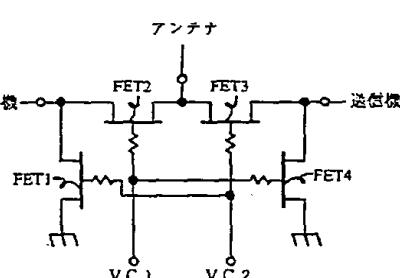


図2

【図11】

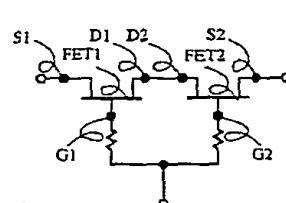
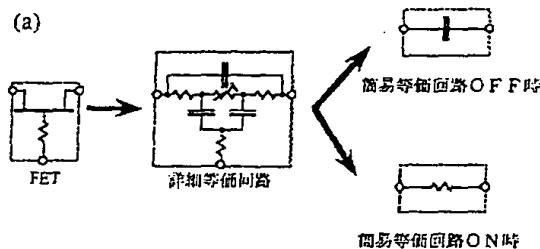


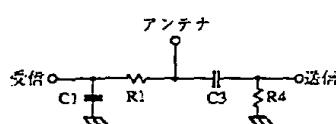
図11

【図3】

図3

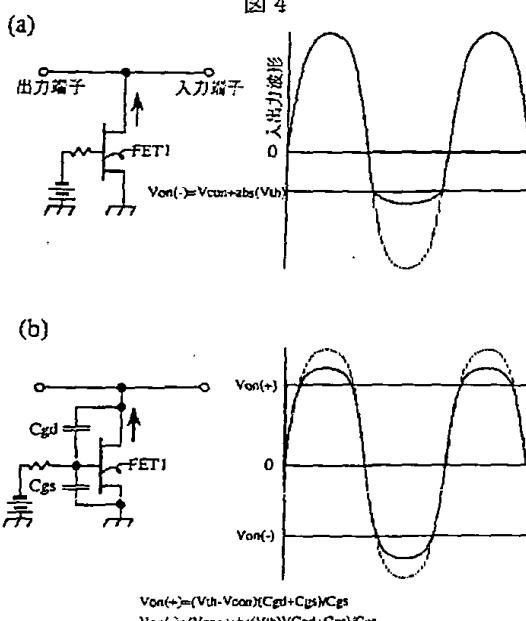


(b)

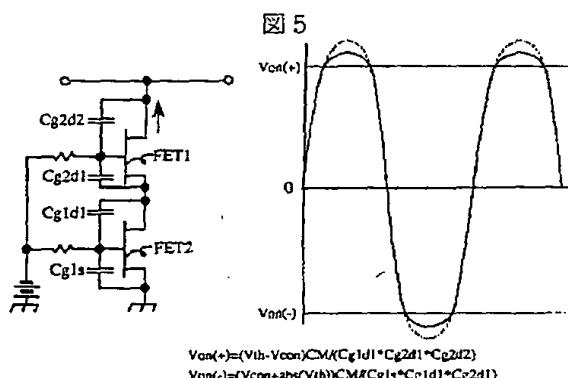


【図4】

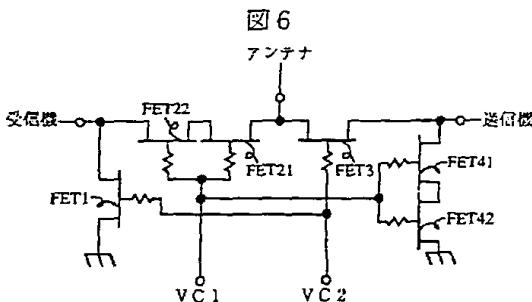
図4



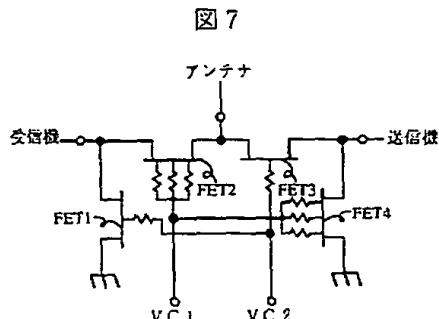
【図5】



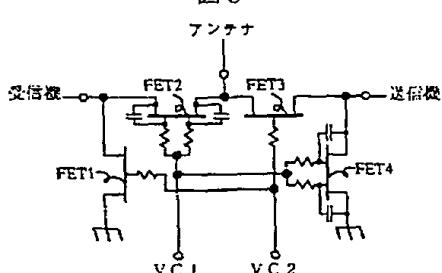
【図6】



【図7】

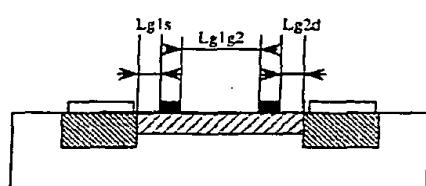


【図8】



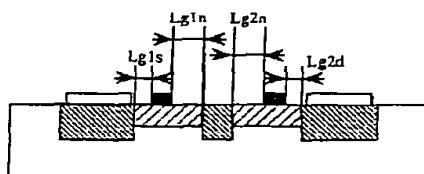
【図9】

図9



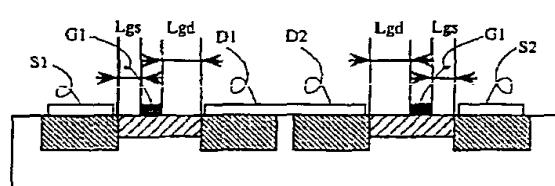
【図10】

図10



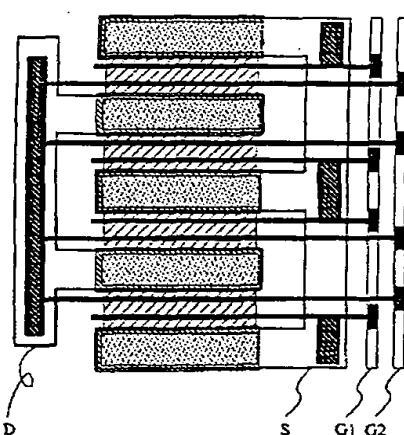
【図12】

図12



【図14】

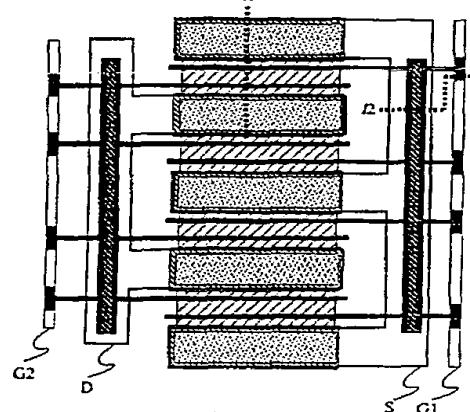
図14



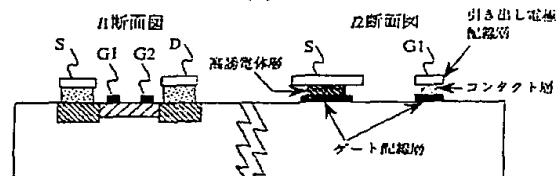
【図13】

図13

(a)

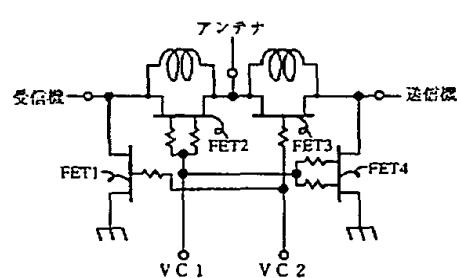


(b)



【図15】

図15



フロントページの続き

(12) 発明者 山根 正雄  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内